

2

PATENT
jc879 U.S. PTO
09/988126
11/19/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re continuation application of:

HEO et al.

: Office of Initial Patent Examination

Continuation of PCT/KR00/00494

Filed: This application filed November 19, 2001:

For: APPARATUS AND METHOD FOR RESTORING CELL SEQUENCE
IN MULTIPATH ATM SWITCHES

COMPLETION OF CLAIM FOR PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

Applicants hereby submit the official certified copy of priority document number KR 1999-17947, filed May 19, 1999, in connection with the above identified application, benefit of which is claimed in the declaration of this application. The Examiner is most respectfully requested to acknowledge receipt of this certified copy in the next Official Action.

Respectfully submitted,

BACON & THOMAS, PLLC

By: Richard E. Fichter
Richard E. Fichter
Registration No. 26,382

625 Slaters Lane, 4th Fl.
Alexandria, Virginia 22314
Phone: (703) 683-0500
Facsimile: (703) 683-1080

REF:kdd
Completion of Claim for Priority.wpd

November 19, 2001

JCE879 U.S. PRO
09/988126
11/19/01

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 특허출원 1999년 제 17947 호
Application Number PATENT-1999-0017947

출원 년 월 일 : 1999년 05월 19일
Date of Application MAY 19, 1999

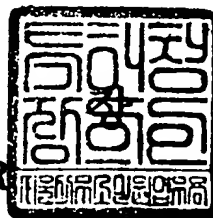
출원인 : 주식회사 머큐리
Applicant(s) MERCURY CORPORATION



2001 년 11 월 09 일

특 허 청

COMMISSIONER



CERTIFIED COPY OF
PRIORITY DOCUMENT

【서지사항】

【서류명】	출원인명의변경신고서
【수신처】	특허청장
【제출일자】	2000.11.21
【구명의인】	
【명칭】	대우통신 주식회사
【출원인코드】	119980007041
【신명의인】	
【성명】	주식회사 머큐리
【출원인코드】	120000445168
【대리인】	
【성명】	장성구
【대리인코드】	919980005148
【포괄위임등록번호】	20000179669
【포괄위임등록번호】	20000583476
【사건의 표시】	
【출원번호】	1019990017947
【출원일자】	1999.05.19
【심사청구일자】	1999.05.19
【발명(고안)의 명칭】	다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리장치 및 방법
【변경원인】	전부양도
【취지】	특허법 제38조제4항·실용신안법 제20조·의장법 제24조 및 상표법 제12조제1항의 규정에 의하여 위와 같이 신고합니다.
【수수료】	13000
【첨부서류】	양도증(동일자로 제출하는 특허출원 제98-63248호의 것을 원용함)1통 인감증명서(동일자로 제출하는 특허출원 제95-67429호의 것을 원용함)1통

【서지사항】

【서류명】	출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	3
【제출일자】	1999.05.19
【발명의 명칭】	다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리 장치 및 방법
【발명의 영문명칭】	APPARATUS AND METHOD FOR RESEQUENCING CELL OF MULTIPATH AT M SWITCH
【출원인】	
【명칭】	대우통신 주식회사
【출원인코드】	1-1998-000704-1
【대리인】	
【성명】	장성구
【대리인코드】	9-1998-000514-8
【포괄위임등록번호】	1999-007365-1
【대리인】	
【성명】	김원준
【대리인코드】	9-1998-000104-8
【포괄위임등록번호】	1999-007366-8
【발명자】	
【성명의 국문표기】	허정원
【성명의 영문표기】	HEO, JEONG WON
【주민등록번호】	710105-1117510
【우편번호】	302-280
【주소】	대전광역시 서구 월평동 218번지 주공아파트 209동 702호
【국적】	KR
【발명자】	
【성명의 국문표기】	이선훈
【성명의 영문표기】	LEE, SEON HOON
【주민등록번호】	640208-1109020

【우편번호】	429-010
【주소】	경기도 시흥시 대야동 우성아파트 205동 1812호
【국적】	KR
【발명자】	
【성명의 국문표기】	이종근
【성명의 영문표기】	LEE, JONG KUN
【주민등록번호】	611104-1079126
【우편번호】	402-201
【주소】	인천광역시 남구 주안1동 10-217
【국적】	KR
【발명자】	
【성명의 국문표기】	성단근
【성명의 영문표기】	SUNG, DAN KEUN
【주민등록번호】	520719-1109316
【우편번호】	305-345
【주소】	대전광역시 유성구 신성동 한울아파트 103-1503호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 장성구 (인) 대리인 김원준 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	2 면 2,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	11 항 461,000 원
【합계】	492,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 다중 경로 비동기 전송 모드 스위치의 출력단에 각각 연결되어 출력단으로 제공되는 셀들의 출력 순서를 재정렬시키는 장치에 관한 것으로서, 스위치의 출력단으로부터 제공되는 셀들을 임시 저장하는 입력 셀 레지스터와; 입력 셀 레지스터에 저장된 셀의 VPI값을 입력하고 소정 시간의 경과 후에 입력된 VPI값을 출력하는 VPI 시프트 레지스터와; 상이한 VPI 값을 가지며, 입력 셀 레지스터로부터의 셀들중 동일 VPI값을 가진 셀을 선택하여, 그 타임 스탬프 값에 따라 정렬시키는 다수의 논리적큐들을 구비하며, 이 논리적 큐들중 VPI 시프트 레지스터로부터 출력된 VPI에 대응하는 논리적 큐는 내부에 정렬된 셀들중 가장 빠른 순서의 셀을 선택, 출력하도록 구성된다.

즉, 본 발명은 동일 로직 큐내에 있는 셀만이 대응 VC의 셀 순서로 정렬되기 때문에 타임 기반 방법에 비하여 처리 시간을 단축할 수 있다는 효과가 있다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리 장치 및 방법
{APPARATUS AND METHOD FOR RESEQUENCING CELL OF MULTIPATH ATM SWITCH}

【도면의 간단한 설명】

도 1은 본 발명에 따른 다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리 장치의 개념 블록도,

도 2는 본 발명에 따른 다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리 장치의 블록도,

도 3은 본 발명에 따른 다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리 장치에 새로운 VCI를 갖는 셀의 입력시의 작동 상태를 설명하기 위한 도면,

도 4는 본 발명에 따른 다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리 장치에서 기 저장된 VCI를 갖는 셀의 입력시의 작동 상태를 설명하기 위한 도면,

도 5는 본 발명에 따른 다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리 장치에서 셀의 출력 상태를 설명하기 위한 도면.

<도면의 주요부분에 대한 부호의 설명>

10 : 재 배열기

11 : 입력 셀 레지스터

12 : VCI 시프트 레지스터

13 : 램 버퍼

14 : 내용 주소화 메모리/랜덤 액세스 메모리 테이블

15 : 제어기

16 : 휴지 어드레스 저장기

17 : 선택기

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 논리적 큐(per-VC logical queue)를 이용하여 다중 경로 비동기 스위치(Asynchronous Transfer Mode : ATM) 셀들의 순서를 바로 잡는 셀 순서 처리 장치에 관한 것으로서, 특히 셀의 VCI(Virtual Channel Identifier)와 타임 스탬프(Time Stamp) 정보를 이용하여 같은 논리적 큐에 속하는 셀들의 순서만을 비교하므로써 동작 속도를 향상시킨 다중 경로 ATM 스위치를 위한 고속 셀 순서 처리 장치에 관한 것이다.

<16> 다중 경로 ATM 스위치는 스위치 모듈에 다수의 스위치를 형성하여 사용한다. 이러한 스위치들은 두 개의 이점 즉, 1) 스위치를 통하여 트래픽 분포가 보다 균등하게 유지되므로 내부 충돌을 최소화 할 수 있으며, 2) 스위치들이 에어에 더욱 강하다는 이점을 갖는다.

- <17> 그러나, 다중 경로는 스위치들의 모든 입력과 출력 쌍을 사용할 수 있으므로 적절한 경로 할당이 요구된다.
- <18> 다중 스위치 경로는 동일한 전달 지연을 갖고 있지 않기 때문에 입력 포트로부터의 입력 셀은 대응 출력 포트에서 순서가 잘못될 수 있다. 셀 순서를 적절하게 복원시키기 위해서는 재배열(re-sequence) 메카니즘이 다중 스위치 시스템에 추가되어야 한다. Turner 등 및 Henrison 등은 재배열 메카니즘을 갖는 다중 경로 네트워크를 사용하는 시스템들을 제안하였다.
- <19> 지금까지 사용된 셀 재배열 방법으로는 두 가지 즉, 시간 기준 방법(timing based approach) 및 예방 방법(preventive approach)이었다. 시간 기준 방법에서는 스위치의 출력 포트 각각에 위치하는 재배열기가 입력 인터페이스에서 발생한 타임 스탬프(time stamp)를 이용하여 셀 순서를 적절하게 복원하였다. 타임 스탬프는 입력 셀의 태그(tag)상에 쓰여진다. 일반적으로, 타임 스탬프를 이용하는 재배열기는 재배열 버퍼를 필요로 한다. Turner 등은 셀의 연령(age)을 기반으로 하는 셀 재배열기를 제안하였다. 셀의 연령은 입력 인터페이스로의 입력 시간으로부터 현재 시간까지를 의미한다. 따라서, 출력 과정에서 가장 오래된 셀 즉 연령이 많은 셀을 선택하기 위해서는 버퍼링된 셀들의 모든 연령을 조사하여야 하므로 재배열기는 상당한 처리 시간을 필요로 한다. 동일한 연령을 갖는 셀들중에서 하나의 셀을 선택하기 위해서 재배열기는 별도의 중재 기능을 필요로 한다. Henrison 등은 셀 기반의 지연 등화 원리(principle of delay equalization)를 기반으로 하는 셀 배열 메카니즘을 제시하였다. 스위치 구조를 통한 다양한 셀의 지연 시간은 셀이 출력 인터페이스에 제공되기 전에 재배열 버퍼내의 재 배열 지

연 시간으로 보상된다. 재배열을 위하여 버퍼링된 셀들의 모든 타임 스탬프값은 셀들의 지연 시간을 감시하기 위하여 조사되어야 하며, 이러한 조사는 버퍼 관리를 복잡하게 한다. 이러한 재배열은 또한 동일한 보상 지연을 갖는 셀들중에서 하나를 선택하는 중재 기능을 필요로 한다. 병렬 ATOM 스위치는 재배열기를 포함하며, 이 재배열기는 스위치 플랜(switch planes) 내 버퍼 메모리의 헤드에 저장된 셀만을 탐색한다. 이 재배열기는 병렬 플랜을 갖는 다중 경로 스위치에만 적용할 수 있으며, 다중 경로 스위치는 비 분배 효과(no-sharing effect)에 의하여 대용량 메모리를 필요로 한다. 이 재배열기는 다중 스테이지(multistage) 다중 경로 스위치들에는 사용할 수 없다.

- <20> 예방 방법(preventive approach)에서는, 스위치의 입력단에 위치하는 공간 제어기(spacing contriller)가 동일 VC를 갖는 두 개의 근접 셀들간에 소정의 최소 공간을 형성한다. 이러한 방법은 VC들의 셀 동작 시간 간격이 최소 공간보다 매우 적기 때문에 높은 피크 율을 갖는 VC들에는 사용할 수 없어 VC의 QoS가 저하된다. 또한 동일 VC의 두 개의 인접 셀들간에 필요한 최소 공간을 보증하도록 공간 제어기내의 지연 버퍼의 셀들이 조사되어야 한다.

【발명이 이루고자 하는 기술적 과제】

- <21> 본 발명은 상술한 방법들의 단점을 해결하기 위한 것으로서, 본 발명의 목적은 고속 제어 기능을 갖는 다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리 장치를 제공하는데 있다.
- <22> 본 발명의 다른 목적은 고속 제어 기능을 갖는 다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리 방법을 제공하는데 있다.

<23> 이러한 목적을 달성하기 위하여 본 발명은, 다중 경로 비동기 전송 모드 스위치의 출력단에 각각 연결되어 출력단으로 제공되는 셀들의 출력 순서를 재정렬시키는 장치로서, 스위치의 출력단으로부터 제공되는 셀들을 임시 저장하는 입력 셀 레지스터와; 입력 셀 레지스터에 저장된 셀의 VPI값을 입력하고 소정 시간의 경과 후에 입력된 VPI값을 출력하는 제 1 수단과; 서로 상이한 VPI 값을 가지며, 상기 입력 셀 레지스터로부터의 셀들중 동일 VPI값을 가진 셀을 선택하여, 그 타임 스탬프 값에 따라 정렬시키는 다수의 논리적큐들을 구비하며, 상기 제 1 수단으로부터 출력된 VPI에 대응하는 논리적 큐는 내부에 정렬된 셀들중 가장 빠른 셀을 선택, 출력하도록 구성한다.

<24> 본 발명은 또한, 다중 경로 비동기 전송 모드 스위치의 출력단에 각각 연결되어 출력단으로 제공되는 셀들의 출력 순서를 재정렬시키는 방법으로서, 출력 셀들을 동일 VPI를 갖는 셀들로 분류하는 단계와; 출력 셀들의 VPI를 소정 시간 지연시키는 단계와; VPI 별로 분류된 셀들을 순서가 지정된 타임 스탬프 값에 따라 정렬시키는 단계와; 소정 시간 지연된 VPI에 대응하는 VPI를 갖는 셀들중 최우선 순위의 셀을 출력하는 단계를 구비한다.

<25> 본 발명은 타임 스탬프를 사용하는 시간 기준 구조이므로 VC의 모든 피크율에 대해서도 적용할 수 있다.

<26> 본 발명의 메카니즘은 논리적 큐(per-VC logical queue)를 사용하는데 이 논리적 큐는 동일 VC에 속하는 셀들만을 저장한다. 동일 논리적 큐 내의 셀들만이 대응 VC의 셀 순서를 유지하는데 고려된다. 이 구조는 시간 스탬프 비교 횟수를 대폭 줄이며, 이에 따라 필요한 처리 시간을 단축한다.

【발명의 구성 및 작용】

- <27> 이하, 본 발명의 일 실시예를 첨부된 도면을 참조하여 상세히 설명한다.
- <28> 도 1에는 본 발명에 따른 셀 재배열 장치의 개념도가 도시되어 있다. 본 발명의 재배열기(10)는 스위치의 각 출력 포트에 연결된다.
- <29> 재배열기(10)는 입력 셀 레지스터(Input Cell Register : ICR)(11), 다수의 논리적 큐(per-VC logical queue)들(#A, #B, #C,...)및 VCI 시프트 레지스터(VSR)(12)를 구비한다. 동일 VCI를 갖는 셀들은 ICR(11)에 임시 저장된 후에 타임 스탬프 값 순서에 따라 대응 논리적 큐(#A, #B, #C,...)내에 저장된다. 즉, 논리적 큐(#A, #B, #C,...)들에는 각각의 VCI들이 할당되며, 입력 셀들은 내부 VCI값에 대응하는 논리적 큐(#A, #B, #C,...)들에 각각 입력된다. 여기서, 논리적 큐(#A, #B, #C,...)에 입력된 셀들은 후술하는 바와 같이 타임 스탬프값의 순서에 따라 논리적 큐(#A, #B, #C,...)내에 정렬된다.
- <30> 스위치의 출력 포트에 도달한 셀들이 재배열기(10)에 입력되면, 이 셀들은 대응 논리적 큐(#A, #B, #C,...)에 저장되며 이와 동시에 셀들의 VCI 값들은 VSR(12)에 제공된다. 예컨대, i번째 도달하는 입력 셀(Bi)는 B의 VCI값을 가지고 있으므로 이 셀은 논리적 큐(#B)에 제공된다.
- <31> 재배열기(10)로의 입력 과정은 다음과 같다.
- <32> 먼저, 입력 셀의 VCI들이 조사된다. 입력 셀의 VCI와 동일한 VCI가 논리적 큐(#A, #B, #C,...)내에 존재하면 이 셀은 대응 논리적 큐(#A, #B, #C,...)에 전송된다. 그리고 이 입력 셀의 시간 스탬프 값과 논리적 큐(#A, #B, #C,...)내 셀

들의 시간 스탬프 값들을 비교함으로써 이 입력 셀을 논리적 큐(#A, #B, #C,...)의 적절한 위치에 위치시킨다. 입력 셀의 VCI와 동일한 VCI의 논리적 큐(#A, #B, #C,...)가 존재하지 않는다면, 입력 셀의 VCI와 동일한 VCI를 갖는 논리적 큐가 새로 생성되며, 입력 셀은 이 새로운 논리적 큐내에 저장된다.

<33> 이러한 입력 과정에서는 동일 VCI에 속하는 셀들의 시간 스탬프 값만을 비교하여 셀들의 위치를 조정함으로써 시간 스탬프 값의 비교 횟수를 줄일 수 있다.

<34> 재배열기(10)의 출력 과정은 매우 간단하다. VSR(12)은 V의 길이를 갖는 시프트 레지스터인 바, VCI 값은 VSR(12)에 입력된 후 V번째의 셀 순서가 경과하면 출력된다. V는 스위치 내에서 허용가능한 최소 및 최소 지연 시간의 차이값으로 설정된다. VSR(12)로부터의 VCI 값이 인덱스로 작용하여 VCI 값에 대응하는 대응로직 큐(#A, #B, #C,...)내의 헤드 셀(head cell)이 선택, 전송된다.

<35> 본 발명은 도 2에 도시된 링크된 리스트 방법(linked-list method)을 사용하여 구현할 수 있다. 구현된 재배열기(10)는 입력 셀 레지스터(Input Cell Register : ICR)(11), VSR(12), 램 버퍼(13), 내용 주소화 메모리/랜덤 액세스 메모리(Content Addressable Memory(CAM) / Random Access Memory((RAM)) 테이블(14), 제어기(15), 휴지 어드레스 저장기(Idle Address Pool : IAP)(16) 및 선택기(17)를 구비한다.

<36> ICR(11)은 입력 대기 과정에서 입력 셀을 임시로 저장한다. 이 입력 셀은 후술하는 과정을 통하여 램 버퍼(13)에 저장된 후에 추출되어 출력된다. CAM/RAM 테

이블(14)에는 각 VC 로직 큐(#A, #B, #C,...)의 VCI 값 그리고 각 로직 큐내의 첫 번째 셀이 저장되어 있는 램 버퍼(13)의 어드레스가 저장된다. 제어기(15)는 램 버퍼(13)내의 입출력 과정을 제어하는 한편 입력 셀의 타임 스탬프 값과 램 버퍼(13)내의 셀의 타임 스탬프 값을 비교한다. 이러한 제어기(15)는 조합 로직 및 플립 플롭들을 이용하여 구현할 수 있다. VSR(12)은 ICR(11)로부터 입력 셀의 VCI 값을 수신한 후 출력 대기 과정에 사용할 수 있도록 제어기(15)에 제공한다. 선택기(17)는 셀 입력 과정에서는 ICR(11)의 VCI 값을 제어기(15)에 제공하고, 셀 출력 과정에서는 VSR(12)의 VCI 값을 제어기(15)에 제공한다. IAP(11)는 새로운 입력 셀(VPI 가 새로운 셀)이 도착하면 램 버퍼(13)내의 휴지 어드레스를 제어기(15)에 제공한다.

<37> 재배열기(10)는 각 단위 VC 로직 큐(#A, #B, #C,...)에 대하여 리스트로 링크되는 논리적 구성을 갖는다. 링크된 리스트란 소정 VC의 연속적인 셀들이 체인화(chained)되는 버퍼 위치들의 세트를 말한다. 링크된 리스트는 램 버퍼(13), CAM/RAM 테이블(14)을 이용하여 구현된다. CAM/RAM 테이블(14)내에서, CAM 은 각 단위 VC 로직 큐(#A, #B, #C,...)의 VCI 값이 저장되며, RAM은 대응 로직 큐(#A, #B, #C,...)내 헤드 셀의 위치를 가르키는 램 버퍼(13)의 어드레스가 저장된다. 램 버퍼(13)는 셀 및 타임 스탬프 값들을 저장하는 셀 데이터 필드(Cell Data Field : CDF), 로직 큐내에서 다음 셀의 어드레스를 저장하는 인접 어드레스 필드(Next Address Field : NAF)를 구비한다. 따라서, 링크된 리스트는 CAM/RAM 테이블(14)의 RAM에 저장된 헤드 셀의 어드레스, 램 버퍼(13)의 NAF내에 저장된 연속 셀의 어드레스를 이용하여 구성된다.

- <38> 재배열기(10)의 입력 과정은 다음과 같다. 재배열기(10)가 스위치의 출력 포트로부터 입력 셀을 수신하면, 이 셀들은 ICR(11)에 저장되고, 그 VCI 및 타임 스탬프 값은 제어기(15)에 전달된다. 제어기(15)는 동일한 VCI 값이 CAM/RAM 테이블(14)의 CAM에 존재하는가를 조사한다.
- <39> CAM에 VCI 인덱스가 존재하지 않는 첫 번째 경우에서, 제어기(15)는 CAM에 새로운 VCI 값을 등록하고, RAM부분에 헤드 셀이 저장되는 램 버퍼(13)의 어드레스를 기입한다. 램 버퍼(13)의 새로운 어드레스는 IAP(16)에서 제공된다. IAP(16)가 램 버퍼(13)의 휴지 어드레스를 관리하므로, RAM에 저장되는 램 버퍼(13)의 새로운 어드레스는 IAP(16)에서 제공한다. 마지막으로, 입력 셀 및 입력 셀의 타임 스탬프 값은 ICR(11)로부터 CDF에 제공되며, 이때, CDF에 저장되는 어드레스는 램 버퍼(13)의 휴지 어드레스를 관리하는 IAP(16)에서 제공되는 어드레스이다. 마지막으로, 입력 셀 및 입력 셀의 타임 스탬프 값은 지정된 CDF의 지정된 위치로 ICR(11)로부터 제공되며, 로직 큐의 종단 마크(end of logical Q mark)가 NAF 상에 씌여진다. 도 3에는 CAM/RAM 테이블(14)내에 기록되어 있지 않은 VCI 값 (B)를 갖는 입력 셀(B₀)가 입력될 때에 CAM/RAM 테이블(14) 및 램 버퍼(13)의 데이터 갱신 과정이 도시되어 있다. 도 3 b에 도시된 바와 같이 새로운 VCI 값 (B)는 CAM부분에 등록되고, IAP(16)로부터 제공된 어드레스(b)는 CAM/RAM 테이블(14)의 RAM에 저장된다. 셀(B₀) 및 EOL 마크가 램 버퍼(13)에 씌여진다.
- <40> CAM이 입력 셀과 동일한 VCI 인덱스를 가지고 있는 두 번째 경우에는, 헤드 셀의 어드레스가 제어기(15)에 제공된다. 이 어드레스를 이용하여 제어기(15)

는 CDF의 헤드 셀로부터 타임 스탬프 값을 독출하고, NAF로부터 다음 셀의 어드레스를 독출한다. 제어기(15)는 입력 셀과 헤드 셀의 타임 스탬프 값을 비교한다. 입력 셀이 헤드 셀보다 젊다면(연령이 낮다면) 제어기(15)는 다음 셀의 NAF 값 및 타임 스탬프 값을 독출한다. 입력 셀과 램 버퍼(13)내의 셀의 타임 스탬프 값을 비교하는 과정은 제어기(15)가 입력 셀의 적절한 위치를 발견할 때까지 계속된다. 대응 로직 큐(#A, #B, #C,...)의 셀 순서는 입력 셀이 도달하기 전에 저장되어 있기 때문에, 입력 셀의 적절한 위치를 탐색하기 위하여 대응 링크된 리스트내에서 입력 셀의 타임 값보다 늦은 타임 스탬프 값을 갖는 첫 번째 셀을 찾기는 용이하다. 이 후, 입력 셀은 링크된 리스트 로직 큐내의 첫 번째 셀 이전에 삽입된다. 그렇지 않다면, 입력 셀은 대응 링크된 리스트의 끝에 부착된다.

<41> 로직 큐(#A, #B, #C,...)내의 셀을 재배열하기 위하여, 제어기(15)는 도 4에 도시된 바와 같이 셀 타임 스탬프 값을 비교하여 링크된 리스트를 재 결합시킨다. 도 4 a에서 입력 셀($C_3/15$)이 ICR(11)에 제공된다. 여기서, 셀(C_3)의 VCI 값 및 타임 스탬프 값은 각각 C 및 15이다. CAM/RAM 테이블(14)은 VCI 인덱스로 C를 갖고 있기 때문에, 제어기(15)는 헤드 셀(C_0)의 어드레스, 즉, RAM내에 저장되어 있는 어드레스(a)를 수신한다. 연속하는 다음 셀(C_1) 및 (C_2)들은 링크된 리스트를 이용하여 헤드 셀에 연결되어 있다. 제어기(15)는 타임 스탬프 값이 더 큰 첫 번째의 셀이 검출될 때까지 또는 로직 큐의 끝 단까지 타임 스탬프 값을 비교한다. 입력

셀(C₃/15) 보다 큰 타임 스탬프 값을 갖는 첫 번째 셀은 도시된 바와 같이 C₁/16 이기 때문에 제어기(15)는 셀(C₃)을 셀(C₁)전에 삽입한다. 따라서, 링크된 리스트의 순서는 C₀-C₁-C₂에서 C₀-C₃-C₁-C₂로 변경된다. 도4에 도시된 바와 같이 'a'의 어드레스를 갖는 램 버퍼(13)의 NAF 값은 'b'에서 'h'로 변경되고, 'h'의 어드레스를 갖는 램 버퍼(13)의 NAF 값은 'b'로 변경되었다.

<42> 재배열기(10)의 출력 과정은 입력 과정보다 간단하다. 입력 셀의 VCI 값이 ICR(11)로부터 제어기(15)로 제공되면, VCI 값은 또한 VSR(12)로 제공된다. VSR(12)의 크기(V)는 스위치 구조내의 최대 허용 가능한 최대 및 최소 지연 지연 시간의 차값이다. V 셀 타임의 경과 후에 제어기는 CAM/RAM 테이블(14)로부터 헤드 셀의 어드레스를 수신하고, 어드레스로 지적된 헤드 셀을 출력한다. 출력 셀의 어드레스는 IAP(16)에 전송되고, 셀의 NAF 값은 CAM/RAM 테이블(14)의 RAM에 기록된다. NAF 값이 EOL 마크라면, VCI 인덱스는 NAF값이 기록되는 대신에 CAM/RAM 테이블(14)에서 소거된다.

<43> 도 5는 출력 과정의 일예이다. 도 5 a에서 출력 VCI 값(A)는 VSR(12)로부터 시프트되어 출력된다. VCI 값을 이용하여 헤드 셀의 어드레스 'a'이 CAM/RAM 테이블(14)로부터 독출된다. 헤드 셀은 RAM 버퍼(13)로부터 축출되고, 그 주소는 IAP(16)에 전송되어 다음번의 셀 저장시에 사용된다. 도 5b에 도시된 바와 같이 셀의 NAF값은 EOL이 아니기 때문에 그 값은 CAM/RAM 테이블(14)의 대응 RAM에 쓰여진다.

【발명의 효과】

<44> 상술한 본 발명은 다음과 같은 이점을 갖는다.

- <45> 첫 번째, 본 발명의 재 배열기는 소정의 최소 공간을 사용하는 예방 방법 (preventive approach)이 아니기 때문에 VC의 최대 레이트에 상관없이 사용할 수 있다.
- <46> 두 번째, 본 발명의 재 배열기는 동일 로직 큐내에 있는 셀만이 대응 VC의 셀 순서로 정렬되기 때문에 시간 기준 방법에 비하여 처리 시간을 단축할 수 있다.
- <47> 셋째로 본 발명의 재배열기는 셀의 출력을 의하여 어떠한 중재 기능도 필요하지 않다. VSR은 셀 출력을 위하여 하나의 VCI 값을 제공하므로, 재배열기 내의 셀들간에는 어떠한 충돌도 발생하지 않는다.

【특허청구범위】**【청구항 1】**

다중 경로 비동기 전송 모드 스위치의 출력단에 각각 연결되어 출력단으로 제공되는 셀들의 출력 순서를 재정렬시키는 장치로서,

상기 스위치의 출력단으로부터 제공되는 셀들을 임시 저장하는 입력 셀 레지스터와;

상기 입력 셀 레지스터에 저장된 셀의 VPI값을 입력하고 소정 시간의 경과 후에 상기 입력된 VPI값을 출력하는 제 1 수단과;

서로 상이한 VPI 값을 가지며, 상기 입력 셀 레지스터로부터의 셀들중 동일 VPI값을 가진 셀을 선택하여, 그 타임 스탬프 값에 따라 상기 선택될 셀들을 정렬시키는 다수의 논리적큐들을 구비하며,

상기 제 1 수단으로부터 출력된 VPI에 대응하는 논리적 큐는 내부에 정렬된 셀들중 최선의 셀을 선택, 출력하도록 구성된 다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리 장치.

【청구항 2】

제 1 항에 있어서, 상기 제 1 수단은 상기 VCI값을 소정 횟수 시프트시켜 출력하는 시프트 레지스터로 구성된 다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리 장치.

【청구항 3】

제 2 항에 있어서, 상기 시프트 레지스터가 VCI 값을 시프트시키는 횟수는 상기 스위치 내에서 셀의 허용가능한 최소 및 최소 지연 시간의 차이값으로 설정하는 다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리 장치.

【청구항 4】

제 3 항에 있어서, 상기 논리적 큐들은,

상기 입력 셀의 VPI 값의 저장이 가능한 내용 주소화 메모리와, 소정 주소 정보의 저장이 가능한 랜덤 액세스 메모리를 갖는 내용 주소화 메모리/랜덤 액세스 메모리 테이블과;

상기 입력 셀 레지스터로부터의 셀 및 그 타임 스탬프 값의 저장이 가능한 셀 데이터 필드와, 상기 셀데이터 필드에 저장된 상기 셀과 동일 VPI를 가지며, 타임 스탬프에 의한 다음 순서를 갖는 셀이 저장된 어드레스를 저장하는 인접 어드레스 필드를 갖는 램 버퍼와;

상기 입력 셀 레지스터에 저장되는 셀들의 VPI 값들중 기저장되어 있지 않은 VPI만을 선택하여 상기 내용 주소화 메모리에 저장하고, 입력 셀들을 타임 스탬프값에 따라 상기 셀 데이터 필드에 저장하되, 인접 어드레스 필드에는 상기 셀 데이터 필드에 저장된 셀과 동일한 VPI를 갖는 셀들중 상기 타임 스탬프에 의한 다음 순서를 갖는 셀의 어드레스를 저장하며, 상기 랜덤 액세스 메모리내에는 내용 주소화 메모리내의 VPI를 갖는 셀들중 상기 타임 스탬프에 의하여 가장 빠

른 순서의 셀이 저장된 램 버퍼의 어드레스를 저장하는 제어기를 구비하는 다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리 장치.

【청구항 5】

제 4 항에 있어서, 상기 제어기는 상기 시프트 레지스터로부터 소정 VPI가 제공되면, 상기 제공된 VPI에 대응하는 VPI가 저장된 내용 주소화 메모리/랜덤 액세스 메모리 테이블내의 랜덤 액세스 메모리로부터 대응 어드레스를 독취하고, 상기 어드레스에 대응하는 램 버퍼의 어드레스로부터 해당 셀을 독취하여 출력하는 다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리 장치.

【청구항 6】

제 5 항에 있어서, 상기 제어기는

상기 램 버퍼에서 독출된 셀은 상기 램 버퍼로부터 소거하는 다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리 장치.

【청구항 7】

제 6 항에 있어서, 상기 제어기는,

상기 램 버퍼에서 소정 셀의 독출후에는 상기 내용 주소화 메모리/랜덤 액세스 메모리내의 내용 주소화 메모리에 저장된 VPI에 대응하여 상기 랜덤 액세스 메모리내에 저장되어 있는 어드레스를 상기 램 버퍼내 셀 데이터 필드의 셀들중 가장 빠른 순서의 셀이 저장되어 있는 어드레스로 변경하는 다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리 장치.

【청구항 8】

제 7 항에 있어서, 상기 셀의 입력 과정에서는 상기 입력 셀 레지스터의 셀의 VPI를 상기 제어기에 제공하고, 상기 셀의 출력 과정에서는 상기 시프트 레지스터의 VPI를 상기 제어기에 제공하는 선택기를 더 구비하는 다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리 장치.

【청구항 9】

제 8 항에 있어서, 상기 램 버퍼의 휴지 어드레스 정보를 가지는 휴지 어드레스 저장기를 더 구비하며, 상기 제어기는 상기 휴지 어드레스 정보에 따라 상기 램 버퍼내에 셀이 저장되는 어드레스를 관리하는 다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리 장치.

【청구항 10】

다중 경로 비동기 전송 모드 스위치의 출력단에 각각 연결되어 출력단으로 제공되는 셀들의 출력 순서를 재정렬시키는 방법으로서,

상기 출력 셀들을 동일 VPI를 갖는 셀들로 분류하는 단계와;

상기 출력 셀들의 VPI를 소정 시간 지연시키는 단계와;

상기 VPI 별로 분류된 셀들을 순서가 지정된 타임 스탬프 값에 따라 정렬시키는 단계와;

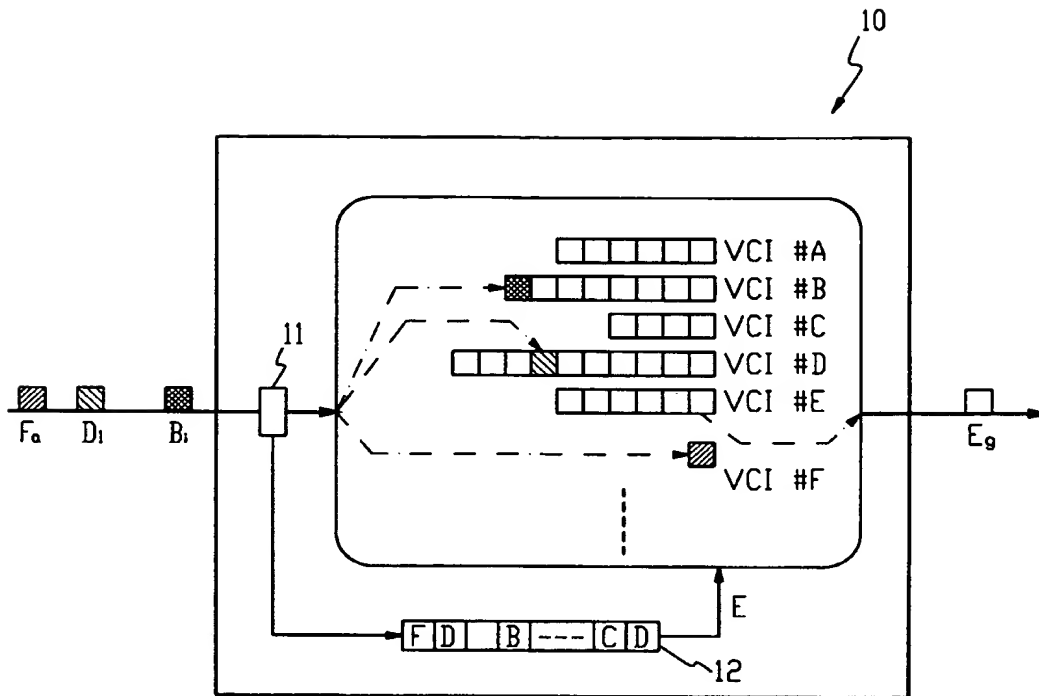
상기 소정 시간 지연된 VPI에 대응하는 VPI를 갖는 셀들중 가장 빠른 순서의 셀을 출력하는 단계를 구비하는 다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리 방법.

【청구항 11】

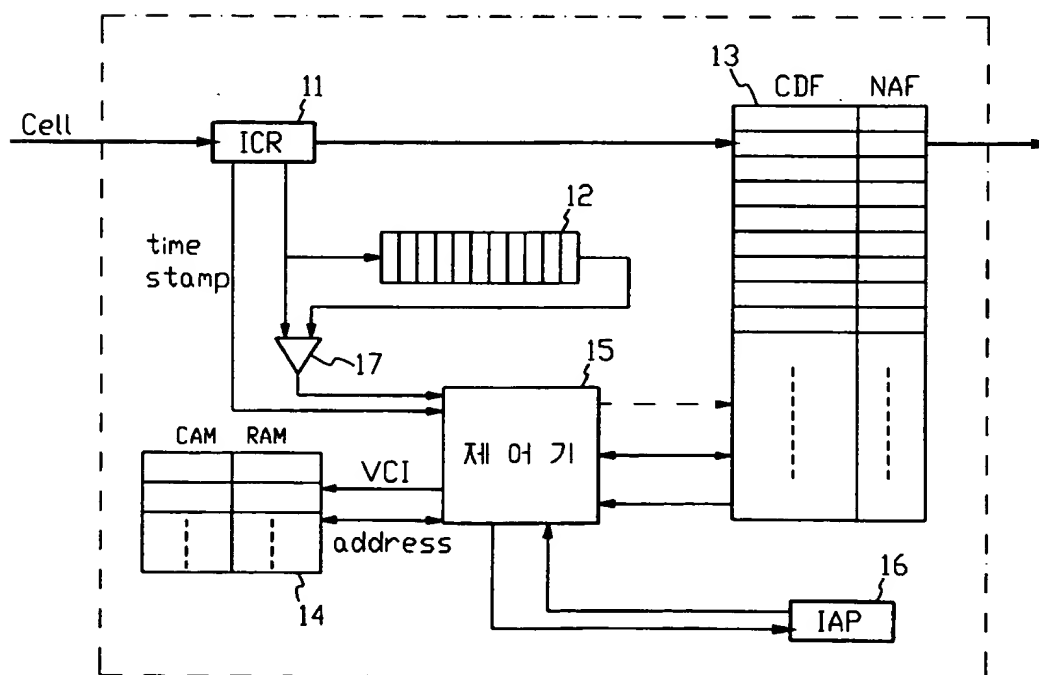
제 1 항에 있어서, 상기 VPI를 지연시키는 시간은 상기 스위치 내에서 셀의 허용가능한 최소 및 최소 지연 시간의 차이값으로 설정하는 다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리 방법.

【도면】

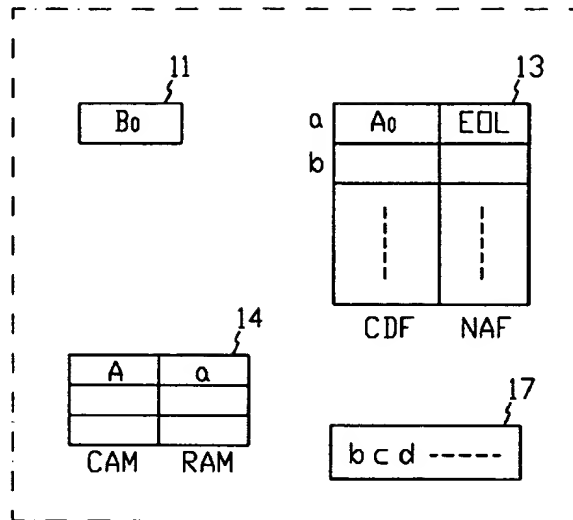
【도 1】



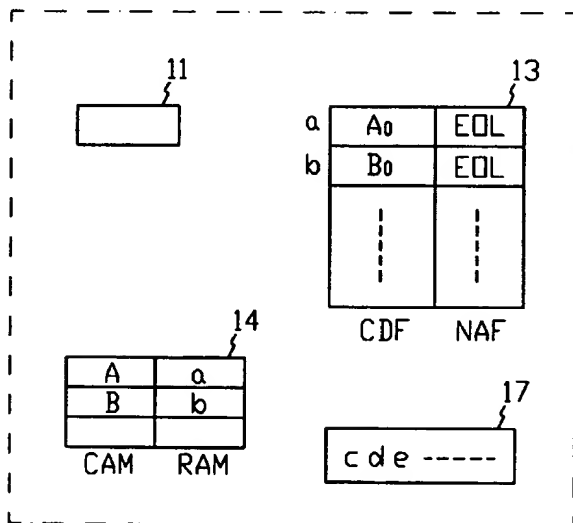
【도 2】



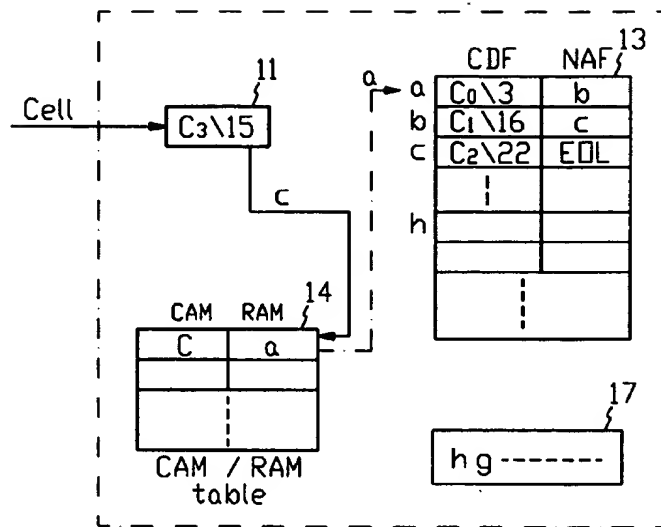
【도 3a】



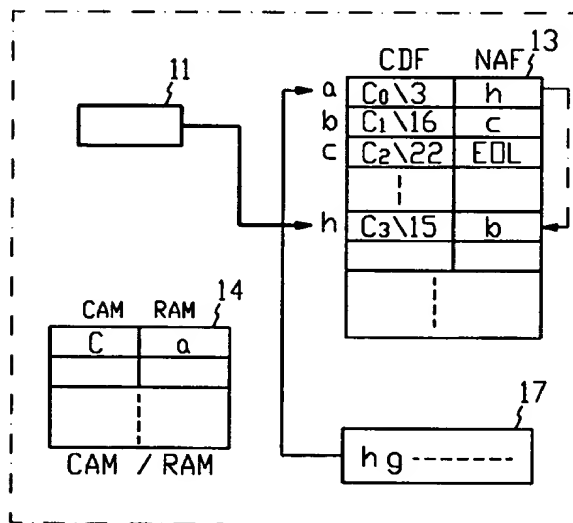
【도 3b】



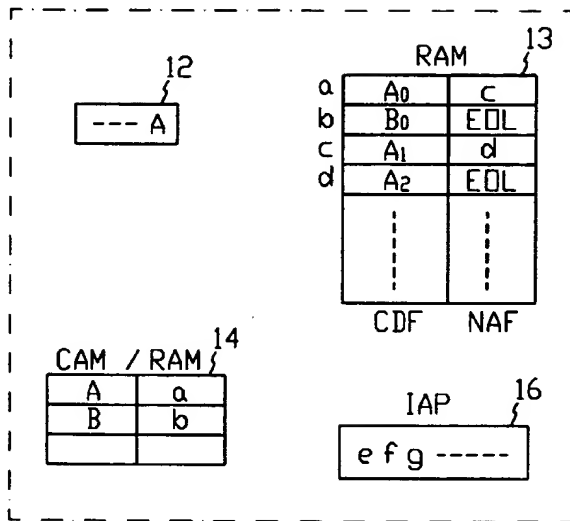
【도 4a】



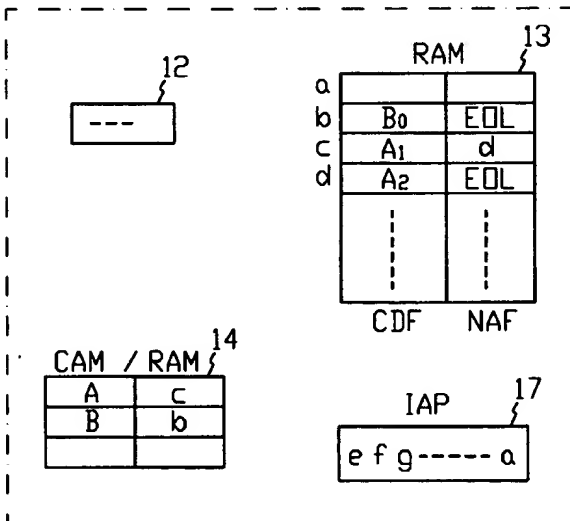
【도 4b】



【도 5a】



【도 5b】



【서지사항】

【서류명】 명세서 등 보정서
 【수신처】 특허청장
 【제출일자】 2001.05.25

【출원인】

【명칭】 주식회사 머큐리
 【출원인코드】 1-2000-044516-8
 【사건과의 관계】 출원인

【대리인】

【성명】 장성구
 【대리인코드】 9-1998-000514-8
 【포괄위임등록번호】 2000-058347-6

【사건의 표시】

【출원번호】 10-1999-0017947
 【출원일자】 1999.05.19
 【심사청구일자】 1999.05.19
 【발명의 명칭】 다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리장치 및 방법

【제출원인】

【발송번호】 9-5-2001-0069503-77
 【발송일자】 2001.03.26

【보정할 서류】 명세서등

【보정할 사항】

【보정대상 항목】 별지와 같음
 【보정방법】 별지와 같음

【보정내용】 별지와 같음

【취지】

특허법시행규칙 제13조의 규정에 의하여 위와 같이 제출합니다. 대리인
 장성구 (인)

【수수료】

【보정료】 0 원
 【추가심사청구료】 0 원
 【기타 수수료】 0 원
 【합계】 0 원

1019990017947

출력 일자: 2001/11/12

【첨부서류】

1. 기타첨부서류_1통[요약서, 명세서 및 도면]

【보정대상항목】 요약

【보정방법】 정정

【보정내용】

본 발명은 다중 경로 비동기 전송 모드 스위치의 출력단에 각각 연결되어 출력단으로 제공되는 셀들의 출력 순서를 재정렬시키는 장치에 관한 것으로, 상기 스위치의 출력단으로부터 제공되는 셀들을 임시 저장하는 입력 셀 레지스터와; 상기 입력 셀 레지스터에 저장된 셀의 VPI값을 입력하고 소정 시간의 경과 후에 상기 입력된 VPI값을 출력하는 시프트 레지스터와; 상기 입력 셀의 VPI 값의 저장이 가능한 내용 주소화 메모리와, 소정 주소 정보의 저장이 가능한 랜덤 액세스 메모리를 갖는 내용 주소화 메모리/랜덤 액세스 메모리 테이블과; 상기 입력 셀 레지스터로부터의 셀 및 그 타임 스탬프 값의 저장이 가능한 셀 데이터 필드와, 상기 셀 데이터 필드에 저장된 상기 셀과 동일 VPI를 가지며, 타임 스탬프에 의한 다음 순서를 갖는 셀이 저장된 어드레스를 저장하는 인접 어드레스 필드를 갖는 램 버퍼와; 상기 입력 셀 레지스터에 저장되는 셀들의 VPI 값들 중에서 기저장되어 있지 않은 VPI만을 선택하여 상기 내용 주소화 메모리에 저장하고, 입력 셀들을 타임 스탬프 값에 따라 상기 셀 데이터 필드에 저장하되, 인접 어드레스 필드에는 상기 셀 데이터 필드에 저장된 셀과 동일한 VPI를 갖는 셀들 중에서 상기 타임 스탬프에 의한 다음 순서를 갖는 셀의 어드레스를 저장하며, 상기 랜덤 액세스 메모리 내에는 내용 주소화 메모리 내의 VPI를 갖는 셀들 중에서 상기 타임 스탬프에 의하여 가장 빠른 순서의 셀이 저장된 램 버퍼의 어드레스를 저장하는 제어기를 구비한다.

즉, 본 발명은 동일 로직 큐내에 있는 셀만이 대응 VC의 셀 순서로 정렬되기 때문에 타임 기반 방법에 비하여 처리 시간을 단축할 수 있다는 효과가 있다.

【보정대상항목】 식별번호 15

【보정방법】 정정

【보정내용】

본 발명은 논리적 큐(per-VC logical queue)를 이용하여 다중 경로 비동기 스위치(Asynchronous Transfer Mode : ATM) 셀들의 순서를 바로 잡는 셀 순서 처리 장치에 관한 것으로서, 특히 셀의 VCI(Virtual Channel Identifier)와 타임 스탬프(Time Stamp) 정보를 이용하여 같은 논리적 큐에 속하는 셀들의 순서만을 비교하도록 구성하여 동작 속도를 향상시킨 다중 경로 ATM 스위치를 위한 고속 셀 순서 처리 장치에 관한 것이다.

【보정대상항목】 식별번호 16

【보정방법】 정정

【보정내용】

다중 경로 ATM 스위치는 스위치 모듈에 다수의 스위치를 형성하여 사용한다. 이러한 스위치들은 두 개의 이점 즉, 1) 스위치를 통하여 트래픽 분포가 보다 균등하게 유지되므로 내부 충돌을 최소화 할 수 있으며, 2) 스위치들이 에러에 더욱 강하다는 이점을 갖는다. 다중 경로는 스위치들의 모든 입력과 출력 쌍을 사용할 수 있으므로 적절한 경로 할당이 요구된다.

【보정대상항목】 식별번호 17

【보정방법】 삭제

【보정대상항목】 식별번호 18

【보정방법】 정정

【보정내용】

다중 스위치 경로는 상이한 전달 지연을 갖고 있어 입력 포트로부터의 입력 셀은 대응 출력 포트에서 순서가 잘못될 수 있다. 셀 순서를 적절하게 복원하기 위해서는 재배열(re-sequence) 메카니즘이 다중 스위치 시스템에 추가되어야 한다. Turner 등 및 Henrision 등은 재배열 메카니즘을 갖는 다중 경로 네트워크를 사용하는 시스템들을 제안하였다.

【보정대상항목】 식별번호 19

【보정방법】 정정

【보정내용】

지금까지 사용된 셀 재배열 방법으로는 두 가지 즉, 시간 기준 방법(timing based approach) 및 예방 방법(preventive approach)이었다. 시간 기준 방법에서는 스위치의 출력 포트 각각에 위치하는 재배열기가 입력 인터페이스에서 발생한 타임 스탬프(time stamp)를 이용하여 셀 순서를 적절하게 복원하였다. 타임 스탬프는 입력 셀의 태그(tag)상에 쓰여진다. 일반적으로, 타임 스탬프를 이용하는 재배열기는 재배열 버퍼를 필요로 한다. Turner 등은 셀의 연령(age)을 기반으로

하는 셀 재배열기를 제안하였다. 셀의 연령은 입력 인터페이스로의 입력 시간으로부터 현재 시간까지를 의미한다. 따라서, 출력 과정에서 가장 오래된 셀 즉 연령이 많은 셀을 선택하기 위해서는 버퍼링된 셀들의 모든 연령을 조사하여야 하므로 재배열기는 상당한 처리 시간을 필요로 한다. 동일한 연령을 갖는 셀들중에서 하나의 셀을 선택하기 위해서 재배열기는 별도의 중재 기능을 필요로 한다. Henrion등은 셀 기반의 지연 등화 원리(principle of delay equalization)를 기반으로 하는 셀 배열 메카니즘을 제시하였다. 스위치 구조를 통한 다양한 셀의 지연 시간은 셀이 출력 인터페이스에 제공되기 전에 재배열 버퍼 내의 재 배열 지연 시간으로 보상된다. 재배열을 위하여 버퍼링된 셀들의 모든 타임 스탬프 값은 셀들의 지연 시간을 감시하기 위하여 조사되어야 하며, 이러한 조사에 의하여 버퍼 관리가 복잡하다. 이러한 재배열은 또한 동일한 보상 지연을 갖는 셀 들중에서 하나를 선택하는 중재 기능이 필요하다. 병렬 ATOM 스위치는 재배열기를 포함하며, 이 재배열기는 스위치 플랜(switch planes) 내 버퍼 메모리의 헤드에 저장된 셀만을 탐색한다. 재배열기는 병렬 플랜을 갖는 다중 경로 스위치에만 적용할 수 있으며, 다중 경로 스위치는 비 분배 효과(no-sharing effect)에 의하여 대용량 메모리가 필요하다. 재배열기는 다중 스테이지(multistage) 다중 경로 스위치들에는 사용할 수 없다.

【보정대상항목】 식별번호 23

【보정방법】 정정

【보정내용】

이러한 목적을 달성하기 위하여 본 발명은, 다중 경로 비동기 전송 모드 스위치의 출력단에 각각 연결되어 출력단으로 제공되는 셀들의 출력 순서를 재정렬시키는 장치로, 상기 스위치의 출력단으로부터 제공되는 셀들을 임시 저장하는 입력 셀 레지스터와; 상기 입력 셀 레지스터에 저장된 셀의 VPI값을 입력하고 소정 시간의 경과 후에 상기 입력된 VPI값을 출력하는 시프트 레지스터와; 상기 입력 셀의 VPI 값의 저장이 가능한 내용 주소화 메모리와, 소정 주소 정보의 저장이 가능한 랜덤 액세스 메모리를 갖는 내용 주소화 메모리/랜덤 액세스 메모리 테이블과; 상기 입력 셀 레지스터로부터의 셀 및 그 타임 스탬프 값의 저장이 가능한 셀 데이터 필드와, 상기 셀 데이터 필드에 저장된 상기 셀과 동일 VPI를 가지며, 타임 스탬프에 의한 다음 순서를 갖는 셀이 저장된 어드레스를 저장하는 인접 어드레스 필드를 갖는 램 버퍼와; 상기 입력 셀 레지스터에 저장되는 셀들의 VPI 값들 중에서 기저장되어 있지 않은 VPI만을 선택하여 상기 내용 주소화 메모리에 저장하고, 입력 셀들을 타임 스탬프 값에 따라 상기 셀 데이터 필드에 저장하되, 인접 어드레스 필드에는 상기 셀 데이터 필드에 저장된 셀과 동일한 VPI를 갖는 셀들 중에서 상기 타임 스탬프에 의한 다음 순서를 갖는 셀의 어드레스를 저장하며, 상기 랜덤 액세스 메모리 내에는 내용 주소화 메모리 내의 VPI를 갖는 셀들 중에서 상기 타임 스탬프에 의하여 가장 빠른 순서의 셀이 저장된 램 버퍼의 어드레스를 저장하는 제어기를 구비한다.

【보정대상항목】 식별번호 32

【보정방법】 정정

【보정내용】

먼저, 입력 셀의 VCI들이 조사된다. 입력 셀의 VCI와 동일한 VCI가 논리적 큐(#A, #B, #C,...)내에 존재하면 이 셀은 대응 논리적 큐(#A, #B, #C,...)에 전송된다. 그리고 이 입력 셀의 시간 스탬프 값과 논리적 큐(#A, #B, #C,...)내 셀들의 시간 스탬프 값들을 비교하여 입력 셀을 논리적 큐(#A, #B, #C,...)의 적절한 위치에 위치시킨다. 입력 셀의 VCI와 동일한 VCI의 논리적 큐(#A, #B, #C,...)가 존재하지 않는다면, 입력 셀의 VCI와 동일한 VCI를 갖는 논리적 큐가 새로 생성되며, 입력 셀은 이 새로운 논리적 큐 내에 저장된다.

【보정대상항목】 식별번호 33

【보정방법】 정정

【보정내용】

이러한 입력 과정에서는 동일 VCI에 속하는 셀들의 시간 스탬프 값만을 비교하여 셀들의 위치를 조정하므로 시간 스탬프 값의 비교 횟수를 줄일 수 있다.

【보정대상항목】 식별번호 34

【보정방법】 정정

【보정내용】

재배열기(10)의 출력 과정은 매우 간단하다. VSR(12)은 V의 길이를 갖는 시프트 레지스터인 바, VCI 값은 VSR(12)에 입력된 후 V번째의 셀 순서가 경과된

후에 출력된다. V는 스위치 내에서 허용 가능한 최소 및 최소 지연 시간의 차이 값으로 설정된다. VSR(12)로부터의 VCI 값이 인덱스로 작용하여 VCI 값에 대응하는 대응 로직 큐(#A, #B, #C,...)내의 헤드 셀(head cell)이 선택, 전송된다.

【보정대상항목】 식별번호 36

【보정방법】 정정

【보정내용】

ICR(11)은 입력 대기 과정에서 입력 셀을 임시로 저장한다. 이 입력 셀은 후술하는 과정을 통하여 램 버퍼(13)에 저장된 후에 추출되어 출력된다. CAM/RAM 테이블(14)에는 각 VC 로직 큐(#A, #B, #C,...)의 VCI 값 그리고 각 로직 큐내의 첫 번째 셀이 저장되어 있는 램 버퍼(13)의 어드레스가 저장된다. 제어기(15)는 램 버퍼(13)내의 입,출력 과정을 제어하는 한편 입력 셀의 타임 스탬프 값과 램 버퍼(13)내의 셀의 타임 스탬프 값을 비교한다. 이러한 제어기(15)는 조합 로직 및 플립 플롭들을 이용하여 구현할 수 있다. VSR(12)은 ICR(11)로부터 입력 셀의 VCI 값을 수신한 후 출력 대기 과정에 사용할 수 있도록 제어기(15)에 제공한다. 선택기(17)는 셀 입력 과정에서는 ICR(11)의 VCI 값을 제어기(15)에 제공하고, 셀 출력 과정에서는 VSR(12)의 VCI 값을 제어기(15)에 제공한다. IAP(11)은 새로운 입력 셀(VPI가 새로운 셀)이 도착하면 램 버퍼(13)내의 휴지 어드레스를 제어기(15)에 제공한다.

【보정대상항목】 식별번호 39

【보정방법】 정정

【보정내용】

CAM에 VCI 인덱스가 존재하지 않는 첫 번째 경우에서, 제어기(15)는 CAM에 새로운 VCI 값을 등록하고, RAM부분에 헤드 셀이 저장되는 램 버퍼(13)의 어드레스를 기입한다. 램 버퍼(13)의 새로운 어드레스는 IAP(16)에서 제공된다. IAP(16)가 램 버퍼(13)의 휴지 어드레스를 관리하므로, RAM에 저장되는 램 버퍼(13)의 새로운 어드레스는 IAP(16)에서 제공된다. 마지막으로, 입력 셀 및 입력 셀의 타임 스탬프 값은 ICR(11)로부터 CDF에 제공되며, 이때, CDF에 저장되는 어드레스는 램 버퍼(13)의 휴지 어드레스를 관리하는 IAP(16)에서 제공되는 어드레스이다. 마지막으로, 입력 셀 및 입력 셀의 타임 스탬프 값은 지정된 CDF의 지정된 위치로 ICR(11)로부터 제공되며, 로직 큐의 종단 마크(end of logical Q mark)가 NAF 상에 씌여진다. 도 3에는 CAM/RAM 테이블(14)내에 기록되어 있지 않은 VCI 값 (B)를 갖는 입력 셀(B₀)가 입력될 때에 CAM/RAM 테이블(14) 및 램 버퍼(13)의 데이터 갱신 과정이 도시되어 있다. 도 3 b에 도시된 바와 같이 새로운 VCI 값 (B)은 CAM부분에 등록되고, IAP(16)로부터 제공된 어드레스(b)는 CAM/RAM 테이블(14)의 RAM에 저장된다. 셀(B₀) 및 EOL 마크가 램 버퍼(13)에 씌여진다.

【보정대상항목】 청구항 1

【보정방법】 정정

【보정내용】

다중 경로 비동기 전송 모드 스위치의 출력단에 각각 연결되어 출력단으로 제공되는 셀들의 출력 순서를 재정렬시키는 장치로서,

상기 스위치의 출력단으로부터 제공되는 셀들을 임시 저장하는 입력 셀 레지스터와;

상기 입력 셀 레지스터에 저장된 셀의 VPI값을 입력하고 소정 시간의 경과 후에 상기 입력된 VPI값을 출력하는 시프트 레지스터와;

상기 입력 셀의 VPI 값의 저장이 가능한 내용 주소화 메모리와, 소정 주소 정보의 저장이 가능한 랜덤 액세스 메모리를 갖는 내용 주소화 메모리/랜덤 액세스 메모리 테이블과;

상기 입력 셀 레지스터로부터의 셀 및 그 타임 스탬프 값의 저장이 가능한 셀 데이터 필드와, 상기 셀 데이터 필드에 저장된 상기 셀과 동일 VPI를 가지며, 타임 스탬프에 의한 다음 순서를 갖는 셀이 저장된 어드레스를 저장하는 인접 어드레스 필드를 갖는 램 버퍼와;

상기 입력 셀 레지스터에 저장되는 셀들의 VPI 값들 중에서 기저장되어 있지 않은 VPI만을 선택하여 상기 내용 주소화 메모리에 저장하고, 입력 셀들을 타임 스탬프 값에 따라 상기 셀 데이터 필드에 저장하되, 인접 어드레스 필드에는 상기 셀 데이터 필드에 저장된 셀과 동일한 VPI를 갖는 셀들 중에서 상기 타임

스탬프에 의한 다음 순서를 갖는 셀의 어드레스를 저장하며, 상기 랜덤 액세스 메모리 내에는 내용 주소화 메모리 내의 VPI를 갖는 셀들 중에서 상기 타임 스탬프에 의하여 가장 빠른 순서의 셀이 저장된 램 버퍼의 어드레스를 저장하는 제어기를 구비하는 다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리 장치.

【보정대상항목】 청구항 2

【보정방법】 삭제

【보정대상항목】 청구항 3

【보정방법】 정정

【보정내용】

제 1 항에 있어서, 상기 시프트 레지스터가 VCI 값을 시프트시키는 횟수는 상기 스위치 내에서 셀의 허용가능한 최소 및 최소 지연 시간의 차이값으로 설정하는 다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리 장치.

【보정대상항목】 청구항 4

【보정방법】 삭제

【보정대상항목】 청구항 5

【보정방법】 정정

【보정내용】

제 3 항에 있어서, 상기 제어기는 상기 시프트 레지스터로부터 소정 VPI가 제공되면, 상기 제공된 VPI에 대응하는 VPI가 저장된 내용 주소화 메모리/랜덤 액세스 메모리 테이블 내의 랜덤 액세스 메모리로부터 대응 어드레스를 독취하고, 상기 어드레스에 대응하는 램 버퍼의 어드레스로부터 해당 셀을 독취하여 출력하는 다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리 장치.

【보정대상항목】 청구항 7

【보정방법】 정정

【보정내용】

제 6 항에 있어서, 상기 제어기는,

상기 램 버퍼에서 소정 셀의 독출후에는 상기 내용 주소화 메모리/랜덤 액세스 메모리 내의 내용 주소화 메모리에 저장된 VPI에 대응하여 상기 랜덤 액세스 메모리 내에 저장되어 있는 어드레스를 상기 램 버퍼 내 셀 데이터 필드의 셀들 중에서 가장 빠른 순서의 셀이 저장되어 있는 어드레스로 변경하는 다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리 장치.

【보정대상항목】 청구항 9

【보정방법】 정정

【보정내용】

제 8 항에 있어서, 상기 램 버퍼의 휴지 어드레스 정보를 가지는 휴지 어드레스 저장기를 더 구비하며, 상기 제어기는 상기 휴지 어드레스 정보에 따라 상기 램 버퍼 내에 셀이 저장되는 어드레스를 관리하는 다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리 장치.

【보정대상항목】 청구항 10

【보정방법】 정정

【보정내용】

다중 경로 비동기 전송 모드 스위치의 출력단에 각각 연결되어 출력단으로 제공되는 셀들의 출력 순서를 재정렬시키는 방법으로서,

상기 출력 셀들을 동일 VPI를 갖는 셀들로 분류하는 단계와;

상기 출력 셀들의 VPI를 소정 시간 지연시키는 단계와;

상기 VPI 별로 분류된 셀들을 순서가 지정된 타임 스탬프 값에 따라 정렬시키는 단계와;

상기 소정 시간 지연된 VPI에 대응하는 VPI를 갖는 셀들 중에서 가장 빠른 순서의 셀을 출력하는 단계를 구비하는 다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리 방법.

【보정대상항목】 청구항 11

【보정방법】 정정

【보정내용】

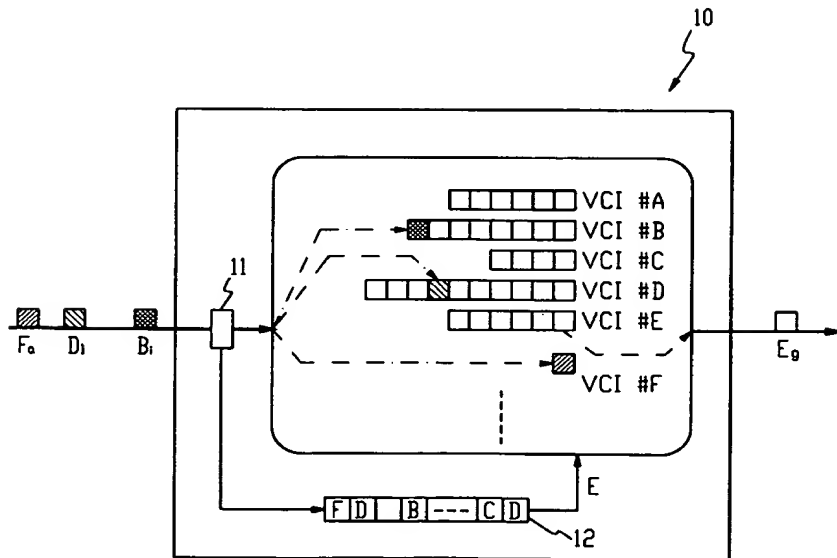
제 10 항에 있어서, 상기 VPI를 지연시키는 시간은 상기 스위치 내에서 셀의 허용가 능한 최소 및 최소 지연 시간의 차이값으로 설정하는 다중 경로 비동기 전송 모드 스위치를 위한 고속 셀 순서 처리 방법.

【보정대상항목】 도 1

【보정방법】 정정

【보정내용】

【도 1】

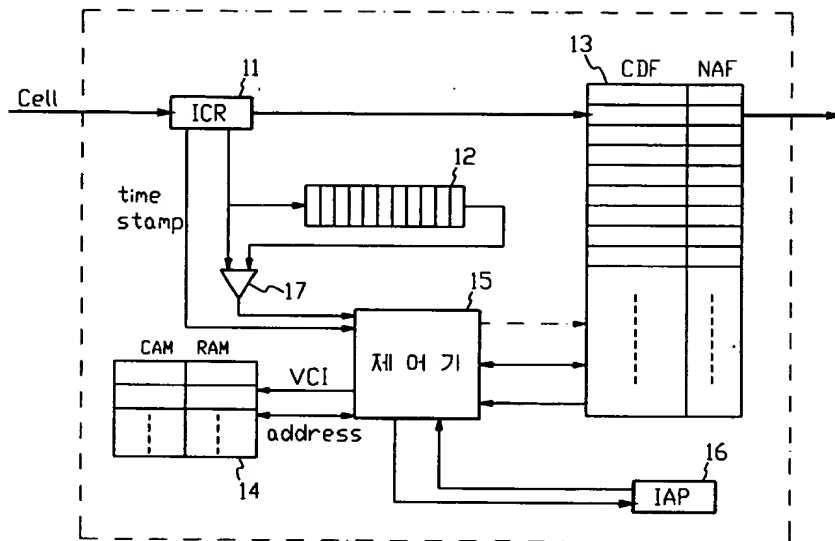


【보정대상항목】 도 2

【보정방법】 정정

【보정내용】

【도 2】

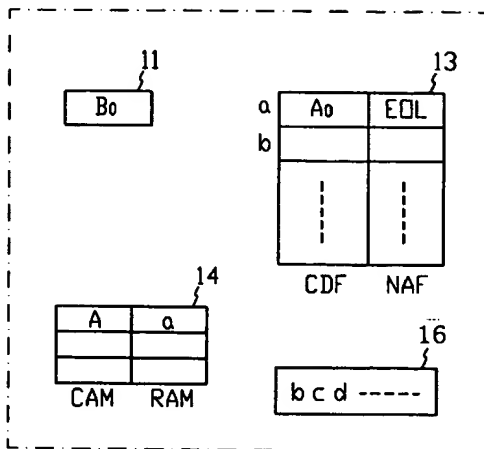


【보정대상항목】 도 3a

【보정방법】 정정

【보정내용】

【도 3a】

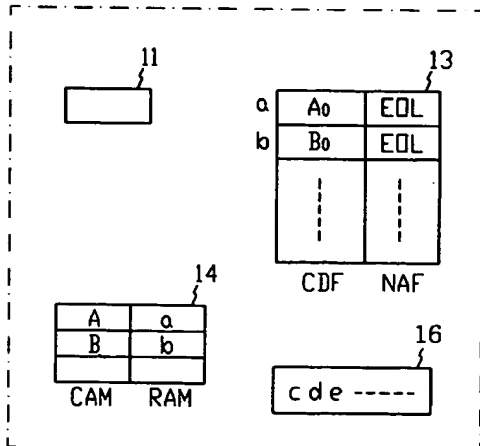


【보정대상항목】 도 3b

【보정방법】 정정

【보정내용】

【도 3b】

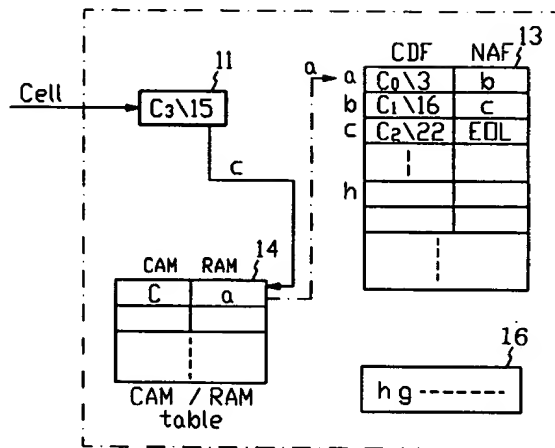


【보정대상항목】 도 4a

【보정방법】 정정

【보정내용】

【도 4a】

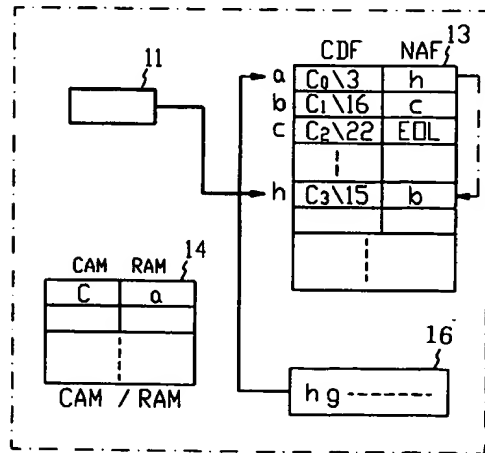


【보정대상항목】 도 4b

【보정방법】 정정

【보정내용】

【도 4b】

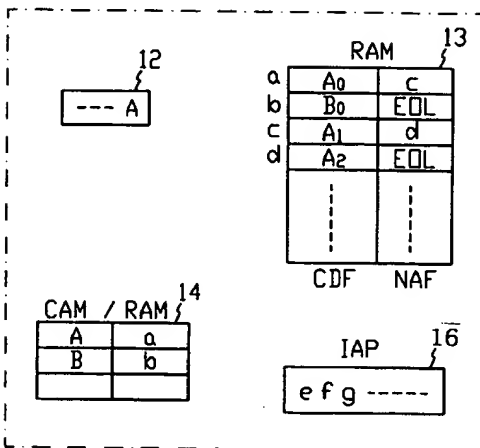


【보정대상항목】 도 5a

【보정방법】 정정

【보정내용】

【도 5a】



【보정대상항목】 도 5b

【보정방법】 정정

【보정내용】

【도 5b】

